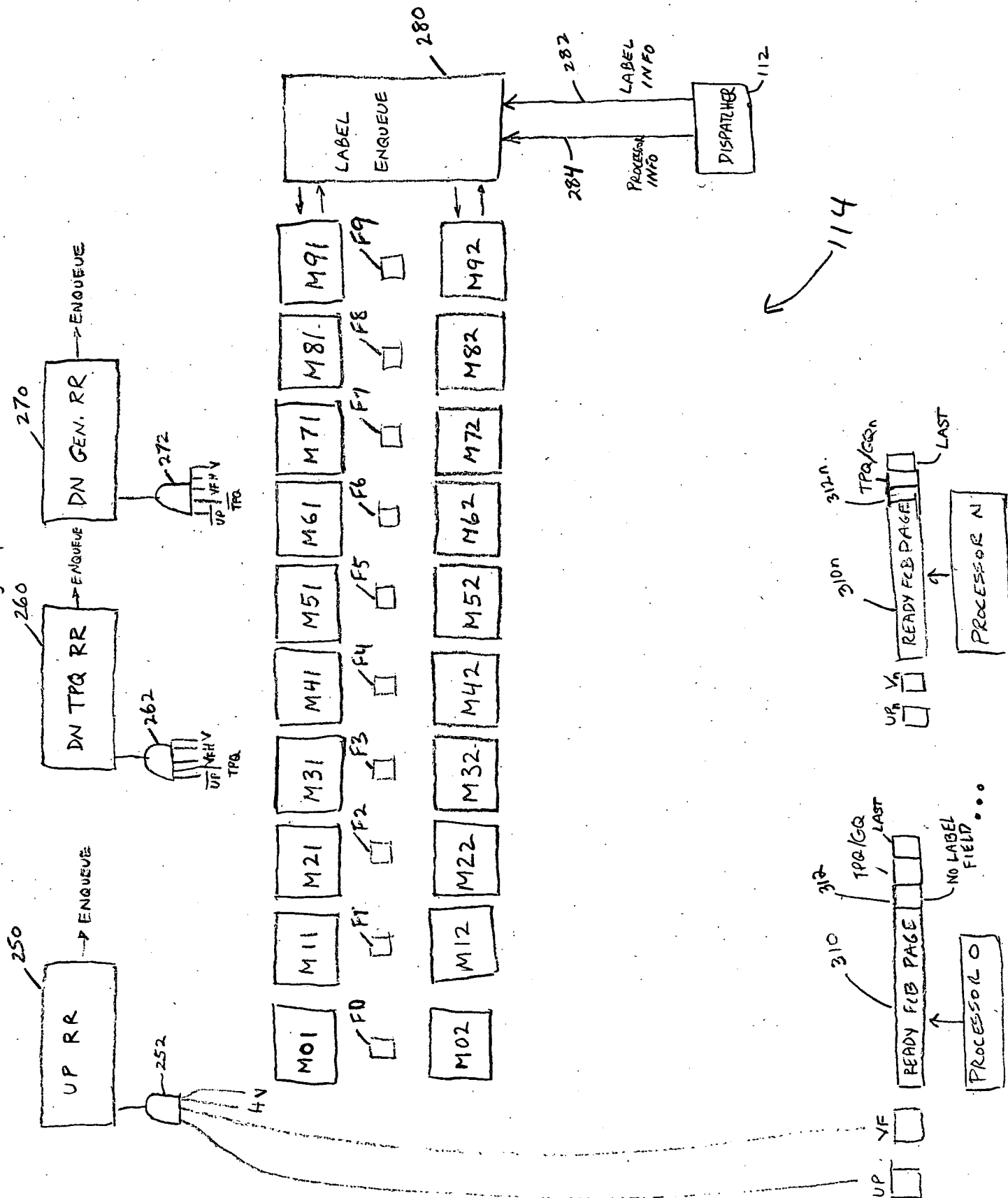
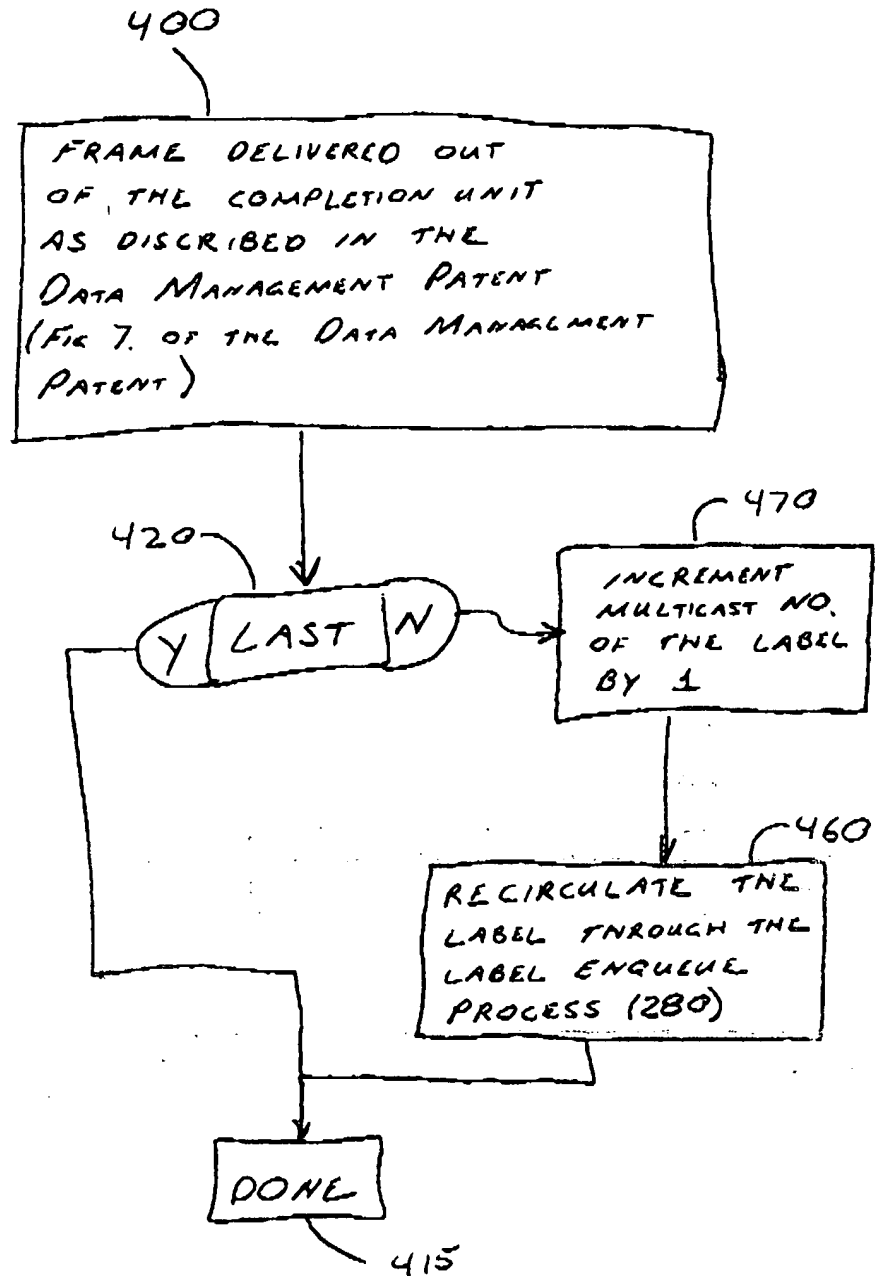


[illegible]

FIG. 2 BLOCK DIAGRAM OF THE EPC

Queueing



FIG. 5

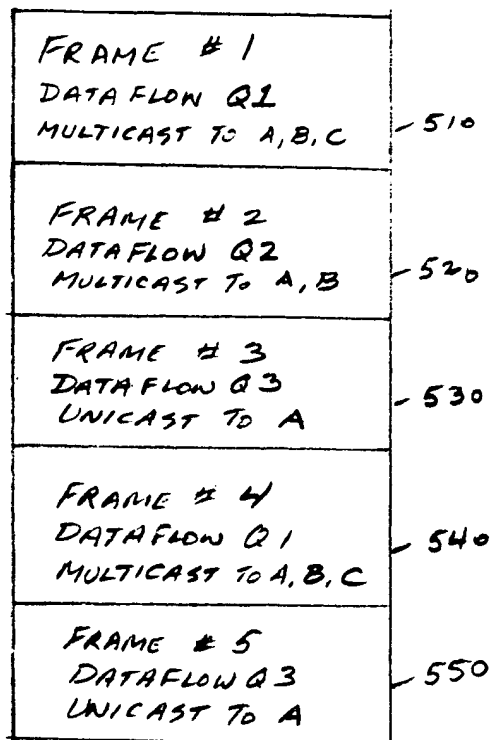


FIG. 6

FRAME	PROCESSOR	LABEL	DESTINATION
1	0	Q1+0	A
1	0	Q1+1	B
2	7	Q2+0	A
3	5	Q3+0	A
4	2	Q1+0	B
2	7	Q2+1	B
4	2	Q1+1	C
1	0	Q1+2	C
4	2	Q1+2	A
5	4	Q3+0	

FIG. 7.